



PATENT

Customer No. 31561

Attorney Docket No.: 9167-US-PA

2812

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant

: Kent Kuohua Chang ✓

Application No.

: 10/064,561

Filed

: 2002/7/26 ✓

For

: METHOD FOR FABRICATING RAISED SOURCE/DRAIN
OF SEMICONDUCTOR DEVICE

Examiner

#3 / Priority
Paper
9/28/02
John H

ASSISTANT COMMISSIONER FOR PATENTS

Washington, D.C. 20231

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 91114489,
filed on: 2002/7/1.

A return prepaid postcard is also included herewith.

Respectfully Submitted,

JIANQ CHYUN Intellectual Property Office

Dated: September 10, 2002

By:

Belinda Lee

Belinda Lee

Registration No.: 46,863

RECEIVED
SEP 13 2002
TO: 2002-11-11 11:00 AM

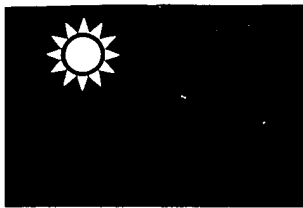
Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



RECEIVED
SEP 13 2002

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 07 月 01 日
Application Date

申請案號：091114489
Application No.

申請人：旺宏電子股份有限公司
Applicant(s)

局長
Director General

陳明邦

發文日期：西元 2002 年 8 月 14 日
Issue Date

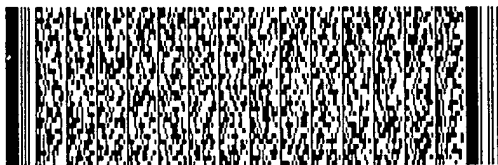
發文字號：09111015652
Serial No.)

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	半導體元件之抬昇源極/汲極的製造方法
	英 文	METHOD FOR FABRICATING RAISED SOURCE/DRAIN OF SEMICONDUCTOR DEVICE
二、 發明人	姓 名 (中文)	1. 張國華
	姓 名 (英文)	1. Kuo-Hua Chang
	國 籍	1. 中華民國
	住、居所	1. 台北市延吉街66-1號4樓
三、 申請人	姓 名 (名稱) (中文)	1. 旺宏電子股份有限公司
	姓 名 (名稱) (英文)	1. Macronix International Co., Ltd.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區力行路十六號
	代表人 姓 名 (中文)	1. 胡定華
	代表人 姓 名 (英文)	1. Ding-Hua Hu

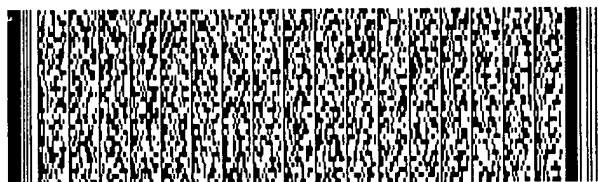


四、中文發明摘要 (發明之名稱：半導體元件之抬昇源極/汲極的製造方法)

一種半導體元件之抬昇源極/汲極的製造方法，此方法係首先在一基底上形成一閘極結構。接著，在閘極結構兩側之基底中形成一淺接面源極/汲極。並且，在閘極結構之側壁形成一間隙壁。之後，在閘極結構與淺接面源極/汲極上形成一矽化鍺抬昇層，其中形成於源極/汲極表面上之矽化鍺抬昇層係為一源極/汲極抬昇層。

英文發明摘要 (發明之名稱：METHOD FOR FABRICATING RAISED SOURCE/DRAIN OF SEMICONDUCTOR DEVICE)

A method for fabricating a raised source/drain of a semiconductor device is described. A gate structure is formed on a substrate, and then a source/drain with a shallow-junction is formed in the substrate beside the gate structure. A spacer is formed on the sidewalls of the gate structure. Thereafter, an elevated layer is formed on the exposed silicon surfaces of the gate structure and the source/drain with a shallow junction, wherein the elevated layer formed on the source/drain



四、中文發明摘要 (發明之名稱：半導體元件之抬昇源極/汲極的製造方法)

英文發明摘要 (發明之名稱：METHOD FOR FABRICATING RAISED SOURCE/DRAIN OF SEMICONDUCTOR DEVICE)

serves as an elevated source/drain layer.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

本發明是有關於一種半導體元件的製造方法，且特別是有關於一種半導體元件之抬昇源極/汲極的製造方法。

金氧半導體元件(MOS)除了具備閘氧化層以及閘極結構之外，在閘極結構兩旁的基底中更包括具備有電性與矽基底相反的半導體區，其稱為源極/汲極。在超大型積體電路(VLSI)的領域裡，金氧半導體元件的應用相當廣泛，舉凡邏輯電路以及記憶體元件等等，金氧半導體元件都是不可或缺的一種半導體元件。

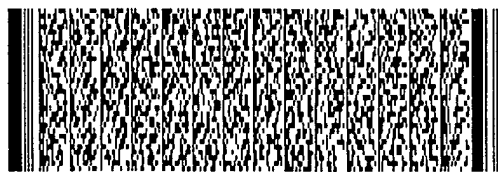
第1A圖至第1C圖所示，其繪示為習知一種半導體元件的製造流程剖面示意圖。

請參照第1A圖，首先提供一基底100，接著於基底100上形成一薄氧化層102以及一多晶矽層104。

繼之，請參照第1B圖，圖案化多晶矽層104以及薄氧化層102以形成一閘極導電層104a以及一閘氧化層102a。之後，以閘極導電層104a為一植入罩幕進行一離子植入步驟，以在閘極導電層104a兩側之基底100中形成一輕摻雜汲極(LDD)108。

之後，請參照第1C圖，在閘極導電層104a之兩側形成一間隙壁110。接著，以間隙壁110為一離子植入罩幕進行一離子植入步驟，以在間隙壁110兩側之基底100中形成一源極/汲極112。

然而，當元件之尺寸隨著積體電路積集度之提高而逐漸縮小之後，半導體元件之源極/汲極的尺寸亦必須隨之縮小。然而，源極/汲極尺寸的縮小會造成其阻值之上



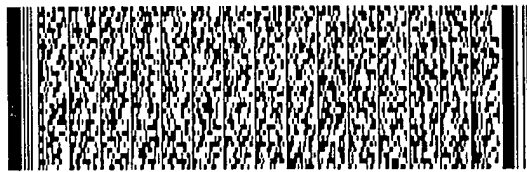
五、發明說明 (2)

升，使得元件之電流變小而導致過高的負載(Over Loading)。倘若利用增加源極/汲極的接面深度(Junction Depth)，以解決源極/汲極阻值提高之問題，不但會衍生短通道效應(Short Channel Effect)，還容易產生接面漏電(Junction Leakage)等問題。倘若是利用高濃度之摻雜來製作淺接面的源極/汲極，以避免因接面過深而引起的短通道效應以及接面漏電等問題，則又會因固態溶解度之限制，而無法克服源極/汲極負載過高的問題。此外，在習知方法中，更有利用縮小間隙壁並形成淺接面之源極/汲極的方式以解決短通道效應，但是此種方法卻容易使淺接面源極/汲極上之金屬矽化物層產生無法接受的接面漏電。

因此，本發明的目的就是在提供一種半導體元件之抬昇源極/汲極的製造方法，以降低源極/汲極之電阻值。

本發明的另一目的是提供一種半導體元件之抬昇源極/汲極的製造方法，以使源極/汲極之接面能作淺，進而避免產生短通道效應及接面漏電等問題。

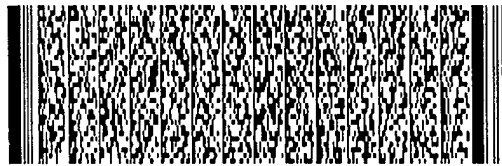
本發明提出一種半導體元件之抬昇源極/汲極的製造方法，此方法係首先在一基底上形成一閘極結構，其中閘極結構包括一閘氧化層以及一閘極導電層。接著，進行一低能量離子植入步驟以在閘極結構兩側之基底中形成一淺接面源極/汲極。其中，此低能量離子植入步驟之植入能量例如是2~3 KeV。之後，在閘極結構之側壁形成一間隙壁。繼之，在閘極結構與淺接面源極/汲極上形成一矽化



五、發明說明 (3)

鍺($\text{Si}_{1-x}\text{Ge}_x$)抬昇層(Elevated Layer)，其中形成於源極/汲極上之矽化鍺抬昇層係為元件之抬昇源極/汲極。而形成矽化鍺抬昇層之方法係利用一快速熱製程化學氣相沈積法(RTCVD)，且此快速熱製程化學氣相沈積法之一反應氣體係為 $\text{Si}_2\text{H}_6/\text{GeH}_4$ 之混合氣體或 $\text{SiH}_2\text{Cl}_2/\text{GeH}_4$ 之混合氣體。接著，進行一離子植入步驟以於矽化鍺抬昇層中植入P型雜質或N型雜質。並且利用一快速熱製程以對摻有雜質之矽化鍺抬昇層進行一回火製程。之後，在矽化鍺抬昇層上形成一金屬矽化物，藉以降低元件之電阻值。

本發明提出一種半導體元件之抬昇源極/汲極的製造方法，此方法係首先在一基底上形成一閘極結構，其中閘極結構包括一閘氧化層以及一閘極導電層，且此閘極結構之頂部更形成有一頂蓋層。接著，進行一低能量離子植入步驟以在閘極結構兩側之基底中形成一淺接面源極/汲極。其中，此低能量離子植入步驟之植入能量例如是2~3 KeV。之後，在閘極結構之側壁形成一間隙壁。繼之，在淺接面源極/汲極上形成一矽化鍺源極/汲極抬昇層。其中，形成矽化鍺源極/汲極抬昇層之方法係利用一快速熱製程化學氣相沈積法，且此快速熱製程化學氣相沈積法之一反應氣體係為 $\text{Si}_2\text{H}_6/\text{GeH}_4$ 之混合氣體或 $\text{SiH}_2\text{Cl}_2/\text{GeH}_4$ 之混合氣體。接著，進行一離子植入步驟以於矽化鍺源極/汲極抬昇層中植入P型雜質或N型雜質。並且利用一快速熱製程以對摻有雜質之矽化鍺源極/汲極抬昇層進行一回火製程。之後，在矽化鍺源極/汲極抬昇層上形成一金屬矽化



五、發明說明 (4)

物，藉以降低元件之電阻值。除此之外，本發明亦可以允將閘極結構頂部之頂蓋層移除之後，再同時於閘極結構與矽化鍺源極/汲極抬昇層上形成金屬矽化物層。

由於本發明在淺接面源極/汲極上形成一矽化鍺源極/汲極抬昇層，因此可有效降低源極/汲極之電阻值。

由於本發明之矽化鍺源極/汲極抬昇層可降低源極/汲極之電阻值，因此源極/汲極之接面可以做淺，以避免短通道效應以及接面漏電等問題。

本發明之半導體元件之抬昇源極/汲極的製造方法，可有效提高源極/汲極接面接觸 (Junction Contact) 之可靠度 (Reliability)，進而提高整個元件之可靠度。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之標示說明：

100、200、300：基底

102、202、302：薄氧化層

104、204、304：多晶矽層

102a、202a、302a：閘氧化層

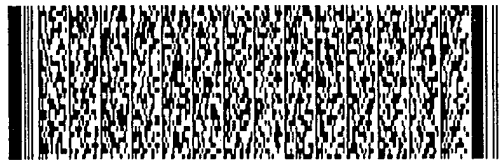
104a、204a、304a：閘極導電層

108：輕摻雜汲極

110、210、310：間隙壁

112、208、308：源極/汲極

212、312：源極/汲極抬昇層



五、發明說明 (5)

214、314：離子植入步驟

216、316：金屬矽化物層

305、305a：頂蓋層

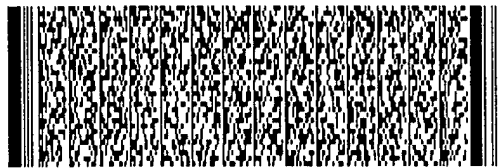
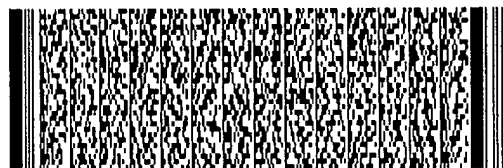
第一實施例

第2A圖至第2F圖，其繪示為依照本發明一較佳實施例之半導體元件之抬昇源極/汲極的製造方法之流程剖面示意圖。

請參照第2A圖，首先在一基底200上形成一薄氧化層202以及一導電層204。其中，導電層204之材質例如是多晶矽或是其他適用於作為閘極導電層之材質。

之後，請參照第2B圖，以一微影蝕刻製程圖案化導電層204以及薄氧化層202，以形成一閘極導電層204a以及一閘氧化層202a，而構成一閘極結構。之後，以閘極結構為一植入罩幕進行一低能量離子植入步驟，以在閘極結構兩側之基底200中形成一淺接面源極/汲極208。其中，此低能量離子植入步驟之一植入能量例如是2~3 KeV，且對P-MOSFET元件而言，於淺接面源極/汲極208中所植入之離子例如是硼或 BF_2^+ 離子，而對N-MOSFET元件而言，於淺接面源極/汲極208中所植入之離子例如是磷或砷離子。

然後，請參照第2C圖，在閘極結構之側壁形成一間隙壁210。其中，間隙壁210例如是以一低壓化學氣相沈積法(LPCVD)以及一非等向蝕刻製程所形成。意即形成間隙壁210之方法係首先於基底200上以低壓化學氣相沈積法形成一介電層，覆蓋住閘極結構，之後再利用非等向蝕刻



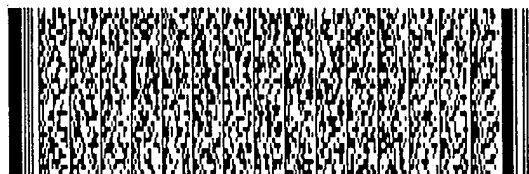
五、發明說明 (6)

製程回蝕刻此共形介電層，而形成間隙壁210。在此，間隙壁210之材質例如是氮化矽或氧化矽。

繼之，請參照第2D圖，在閘極導電層204a與淺接面源極/汲極208上形成一矽化鍺抬昇層212，藉以降低閘極導電層204a與源極/汲極208之電阻值。其中，形成於源極/汲極208上之矽化鍺抬昇層212係為元件之源極/汲極抬昇層。而矽化鍺抬昇層212之厚度例如是200埃至500埃，且形成矽化鍺抬昇層212之方法例如是利用一快速熱製程化學氣相沈積法(RTCVD)，此快速熱製程化學氣相沈積法之一反應氣體例如為 $\text{Si}_2\text{H}_6/\text{GeH}_4$ 之混合氣體或 $\text{SiH}_2\text{Cl}_2/\text{GeH}_4$ 之混合氣體。此外，進行此快速熱製程化學氣相沈積法之溫度例如是攝氏500度左右，且其壓力例如為1~20 Torr。

接著，請參照第2E圖，進行一離子植入步驟214，以於矽化鍺抬昇層212中摻雜P型離子或N型離子。之後，利用一快速熱製程以對摻有雜質之矽化鍺抬昇層212進行一回火步驟，以使矽化鍺抬昇層212中之離子形成所需之摻雜輪廓(Doping Profile)。

在此，特別值得一提的是，在矽化鍺抬昇層212中所植入之雜質，特別是硼離子，可被留置(Hold)在矽化鍺抬昇層212中，而不會因後續熱製程而擴散至其他的層膜內。另外，由於矽化鍺212之電阻值較半導體矽基底200之電阻值更低，且藉由調整矽化鍺212之鍺的濃度還可減少其能帶間隙進而降低其電阻值。因此，本發明之半導體元件之源極/汲極208之接面深度可以作淺，以避免短通道效



五、發明說明 (7)

應以及接面漏電之問題，進而提高接面接觸之可靠度，甚至是整個元件之可靠度。

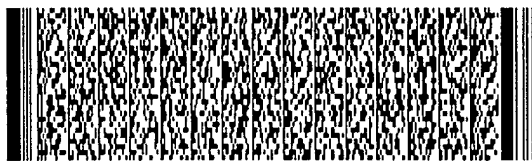
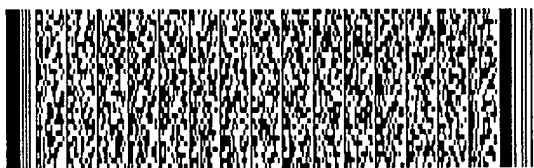
之後，請參照第2F圖，在閘極導電層204a與淺接面源極/汲極208上方之矽化鍺抬昇層212上形成一金屬矽化物層216，藉以降低元件之電阻值。其中，形成金屬矽化物層216之方法例如先於基底200上形成一金屬層，之後再進行一熱製程，以使金屬層與矽反應而形成自行準金屬矽化物層，然後再將未反應之金屬層移除。在本實施例中，金屬矽化物層216之材質例如是矽化鈷(CoSi_x)或是矽化鎳(NiSi_x)。

第二實施例

第3A圖至第3G圖，其繪示為依照本發明另一較佳實施例之半導體元件之抬昇源極/汲極的製造方法之流程剖面示意圖。

請參照第3A圖，首先在一基底300上形成一薄氧化層302、一導電層304以及一頂蓋層305。其中，導電層304之材質例如是多晶矽或是其適用於作為閘極導電層之材質，而頂蓋層305之材質例如是TEOS。

之後，請參照第3B圖，以一微影蝕刻製程圖案化頂蓋層305、導電層304以及薄氧化層302，以形成一圖案化之頂蓋層305a、一閘極導電層304a以及一閘氧化層302a，而構成一閘極結構。之後，以閘極結構為一植入罩幕進行一低能量離子植入步驟，以在閘極結構兩側之基底300中形成一淺接面源極/汲極308。其中，此低能量離子植入步驟



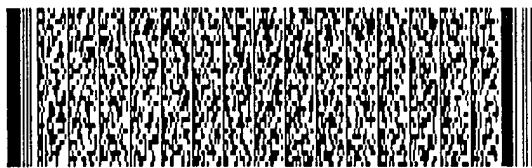
五、發明說明 (8)

之一植入能量例如是2~3 KeV，且對P-MOSFET元件而言，於淺接面源極/汲極308中所植入之離子例如是硼或 BF_2^+ 離子，而對N-MOSFET元件而言，於淺接面源極/汲極308中所植入之離子例如是磷或砷離子。

然後，請參照第3C圖，在閘極結構之側壁形成一間隙壁310。其中，間隙壁310例如是以一低壓化學氣相沈積法以及一非等向蝕刻製程所形成。意即形成間隙壁310之方法係首先於基底300上以低壓化學氣相沈積法形成一介電層，覆蓋住頂蓋層305a，之後再利用非等向蝕刻製程回蝕刻此介電層，而形成間隙壁310。在此，間隙壁310之材質例如是氮化矽或氧化矽。

繼之，請參照第3D圖，在源極/汲極308上形成一矽化鍺源極/汲極抬昇層312，藉以降低源極/汲極308之電阻值。其中，矽化鍺源極/汲極抬昇層312之厚度例如是200埃至500埃，且形成矽化鍺源極/汲極抬昇層312之方法例如是利用一快速熱製程化學氣相沈積法，此快速熱製程化學氣相沈積法之一反應氣體係為 $\text{Si}_2\text{H}_6/\text{GeH}_4$ 之混合氣體或 $\text{SiH}_2\text{Cl}_2/\text{GeH}_4$ 之混合氣體。此外，進行此快速熱製程化學氣相沈積法之溫度例如是攝氏500度左右，且其壓力例如為1~20 Torr。

接著，請參照第3E圖，進行一離子植入步驟314，以於矽化鍺源極/汲極抬昇層312中摻雜P型離子或N型離子。之後，利用一快速熱製程以對摻有雜質之矽化鍺源極/汲極抬昇層312進行一回火步驟，以使矽化鍺源極/汲極抬昇



五、發明說明 (9)

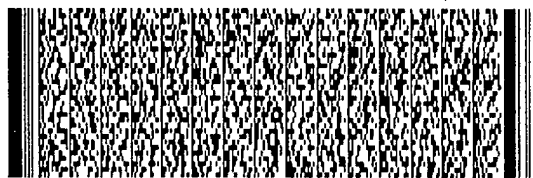
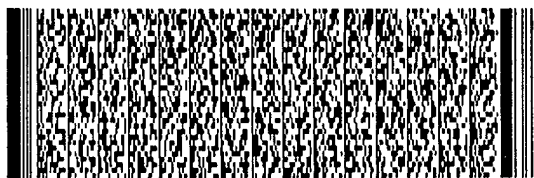
層312中之離子形成所需之摻雜輪廓。

在此，特別值得一提的是，在矽化鍺源極/汲極抬昇層312中所植入之雜質，特別是硼離子，可被留置在矽化鍺源極/汲極抬昇層312中，而不會因後續熱製程而擴散至其他的層膜內。另外，由於矽化鍺312之電阻值較半導體矽基底300之電阻值更低，且藉由調整矽化鍺312之鍺的濃度還可減少其能帶間隙進而降低其電阻值。因此，本發明之源極/汲極308之接面深度可以作淺，以避免短通道效應以及接面漏電之問題，進而提高接面接觸之可靠度，甚至是整個元件之可靠度。

之後，請參照第3F圖，在矽化鍺源極/汲極抬昇層312上形成一金屬矽化物層316，藉以再降低元件之電阻值。在本實施例中，倘若間隙壁310是使用氮化矽材質，則可先將頂蓋層305a移除之後，再同時於閘極導電層304a以及矽化鍺源極/汲極抬昇層312上形成一金屬矽化物層316(如第3G圖所示)。而形成金屬矽化物層316之方法例如先於基底300上形成一金屬層，之後再進行一熱製程，以使金屬層與矽反應而形成自行準金屬矽化物層，然後再將未反應之金屬層移除。在本實施例中，金屬矽化物層316之材質例如是矽化鈷(CoSi_x)或是矽化鎳(NiSi_x)。

綜合以上所述，本發明具有下列優點：

1. 本發明之半導體元件之抬昇源極/汲極的製造方法，由於其在淺接面源極/汲極上形成一矽化鍺源極/汲極抬昇層，因此可有效降低源極/汲極之電阻值。

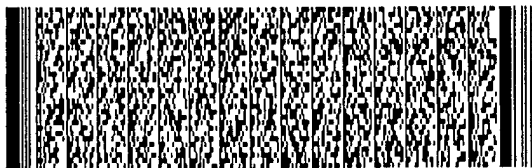


五、發明說明 (10)

2. 本發明之半導體元件之抬昇源極/汲極的製造方法，由於矽化鍺源極/汲極抬昇層可降低源極/汲極之電阻值，因此源極/汲極之接面可以做淺，以避免避免短通道效應以及接面漏電等問題。

3. 本發明之半導體元件之抬昇源極/汲極的製造方法，可有效提高源極/汲極接面接觸之可靠度，進而提高整個元件之可靠度。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

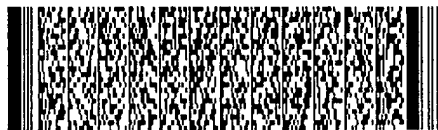


圖式簡單說明

第1A圖至第1C圖為習知一種半導體元件的製造流程剖面示意圖；

第2A圖至第2F圖為依照本發明一較佳實施例之半導體元件之抬昇源極/汲極的製造方法之流程剖面示意圖；以及

第3A圖至第3G圖為依照本發明另一較佳實施例之半導體元件之抬昇源極/汲極的製造方法之流程剖面示意圖。



六、申請專利範圍

1. 一種半導體元件之抬昇源極/汲極的製造方法，包括：

在一基底上形成一閘極結構；

在該閘極結構兩側之該基底中形成一淺接面源極/汲極；

在該閘極結構之側壁形成一間隙壁；以及

在該閘極結構與該淺接面源極/汲極上形成一矽化鍺($\text{Si}_{1-x}\text{Ge}_x$)抬昇層，其中形成於該源極/汲極表面上之該矽化鍺抬昇層係為一源極/汲極抬昇層。

2. 如申請專利範圍第1項所述之半導體元件之抬昇源極/汲極的製造方法，其中形成該矽化鍺抬昇層之方法包括一快速熱製程化學氣相沈積法。

3. 如申請專利範圍第2項所述之半導體元件之抬昇源極/汲極的製造方法，其中該快速熱製程化學氣相沈積法之一反應氣體包括 $\text{Si}_2\text{H}_6/\text{GeH}_4$ 之混合氣體或 $\text{SiH}_2\text{Cl}_2/\text{GeH}_4$ 之混合氣體。

4. 如申請專利範圍第2項所述之半導體元件之抬昇源極/汲極的製造方法，其中進行該快速熱製程化學氣相沈積法之溫度係為攝氏500度，且其壓力係為1~20 Torr。

5. 如申請專利範圍第1項所述之半導體元件之抬昇源極/汲極的製造方法，其中該矽化鍺抬昇層之厚度係為200埃至500埃。

6. 如申請專利範圍第1項所述之半導體元件之抬昇源極/汲極的製造方法，其中更包括進行一離子植入步驟以



六、申請專利範圍

於該矽化鍺抬昇層中摻雜離子。

7. 如申請專利範圍第1項所述之半導體元件之抬昇源極/汲極的製造方法，其中更包括於該矽化鍺抬昇層上形成一金屬矽化物層。

8. 如申請專利範圍第7項所述之半導體元件之抬昇源極/汲極的製造方法，其中該金屬矽化物層包括一矽化鈷層(CoSi_x)或一矽化鎳層(NiSi_x)。

9. 如申請專利範圍第1項所述之半導體元件之抬昇源極/汲極的製造方法，其中形成該淺接面源極/汲極之一離子植入能量係為2~3 KeV。

10. 一種半導體元件之抬昇源極/汲極的製造方法，包括：

在一基底上形成一閘極結構，其中該閘極結構之頂部係形成有一頂蓋層；

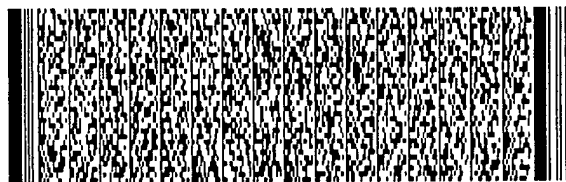
在該閘極結構兩側之該基底中形成一淺接面源極/汲極；

在該閘極結構之側壁形成一間隙壁；以及

在該淺接面源極/汲極上形成一矽化鍺源極/汲極抬昇層。

11. 如申請專利範圍第10項所述之半導體元件之抬昇源極/汲極的製造方法，其中形成該矽化鍺源極/汲極抬昇層之方法包括一快速熱製程化學氣相沈積法。

12. 如申請專利範圍第11項所述之半導體元件之抬昇源極/汲極的製造方法，其中該快速熱製程化學氣相沈積



六、申請專利範圍

法之一反應氣體包括 $\text{Si}_2\text{H}_6/\text{GeH}_4$ 之混合氣體或 $\text{SiH}_2\text{Cl}_2/\text{GeH}_4$ 之混合氣體。

13. 如申請專利範圍第11項所述之半導體元件之抬昇源極/汲極的製造方法，其中進行該快速熱製程化學氣相沈積法之溫度係為攝氏500度，且其壓力係為1~20 Torr。

14. 如申請專利範圍第10項所述之半導體元件之抬昇源極/汲極的製造方法，其中該矽化鍺源極/汲極抬昇層之厚度係為200埃至500埃。

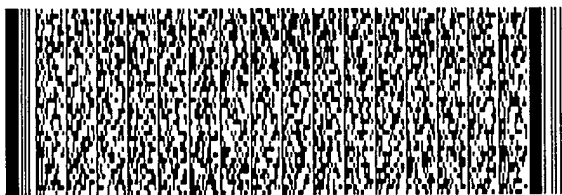
15. 如申請專利範圍第10項所述之半導體元件之抬昇源極/汲極的製造方法，其中更包括進行一離子植入步驟以於該矽化鍺源極/汲極抬昇層中摻雜離子。

16. 如申請專利範圍第10項所述之半導體元件之抬昇源極/汲極的製造方法，其中更包括於該矽化鍺源極/汲極抬昇層上形成一金屬矽化物層。

17. 如申請專利範圍第16項所述之半導體元件之抬昇源極/汲極的製造方法，其中該金屬矽化物層包括一矽化鈷層(CoSi_x)或一矽化鎳層(NiSi_x)。

18. 如申請專利範圍第10項所述之半導體元件之抬昇源極/汲極的製造方法，其中形成該淺接面源極/汲極之一離子植入能量係為2~3 KeV。

19. 如申請專利範圍第10項所述之半導體元件之抬昇源極/汲極的製造方法，其中該頂蓋層之材質與該間隙壁之材質相同。



六、申請專利範圍

20. 一種半導體元件之抬昇源極/汲極的製造方法，包括：

在一基底上形成一閘極結構，其中該閘極結構之頂部係形成有一頂蓋層；

在該閘極結構兩側之該基底中形成一淺接面源極/汲極；

在該閘極結構之側壁形成一間隙壁；

在該淺接面源極/汲極上形成一矽化鍺源極/汲極抬昇層；

移除該頂蓋層，暴露出閘極結構；以及

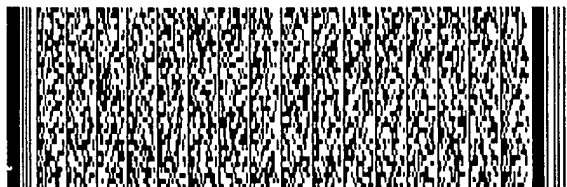
在該閘極結構上與該矽化鍺源極/汲極抬昇層上形成一金屬矽化物層。

21. 如申請專利範圍第20項所述之半導體元件之抬昇源極/汲極的製造方法，其中形成該矽化鍺源極/汲極抬昇層之方法包括一快速熱製程化學氣相沈積法。

22. 如申請專利範圍第21項所述之半導體元件之抬昇源極/汲極的製造方法，其中該快速熱製程化學氣相沈積法之一反應氣體包括 $\text{Si}_2\text{H}_6/\text{GeH}_4$ 之混合氣體或 $\text{SiH}_2\text{Cl}_2/\text{GeH}_4$ 之混合氣體。

23. 如申請專利範圍第21項所述之半導體元件之抬昇源極/汲極的製造方法，其中進行該快速熱製程化學氣相沈積法之溫度係為攝氏500度，且其壓力係為1~20 Torr。

24. 如申請專利範圍第20項所述之半導體元件之抬昇



六、申請專利範圍

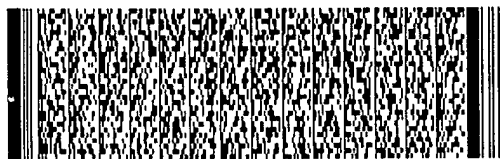
源極/汲極的製造方法，其中該矽化鍺源極/汲極抬昇層之厚度係為200埃至500埃。

25. 如申請專利範圍第20項所述之半導體元件之抬昇源極/汲極的製造方法，其中更包括進行一離子植入步驟以於該矽化鍺源極/汲極抬昇層中摻雜離子。

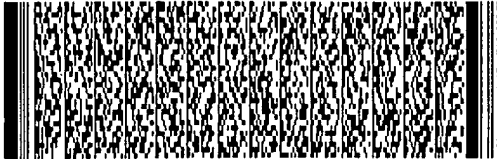
26. 如申請專利範圍第20項所述之半導體元件之抬昇源極/汲極的製造方法，其中該金屬矽化物層包括一矽化鈷層(CoSi_x)或一矽化鎳層(NiSi_x)。

27. 如申請專利範圍第20項所述之半導體元件之抬昇源極/汲極的製造方法，其中形成該淺接面源極/汲極之一離子植入能量係為2~3 KeV。

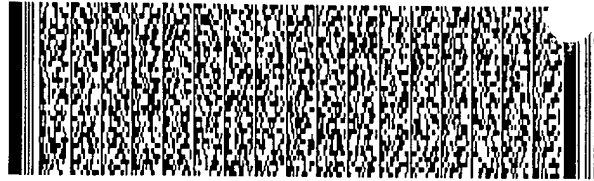
28. 如申請專利範圍第20項所述之半導體元件之抬昇源極/汲極的製造方法，其中該頂蓋層之材質與該間隙壁之材質不相同。



第 1/20 頁



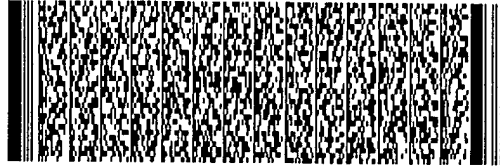
第 2/20 頁



第 3/20 頁



第 5/20 頁



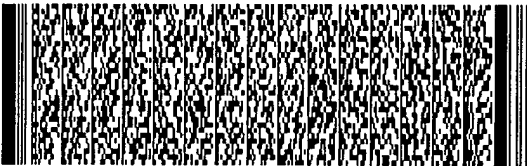
第 5/20 頁



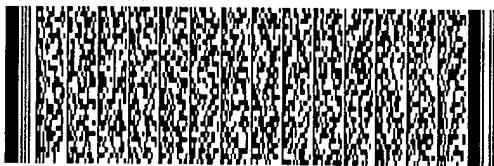
第 6/20 頁



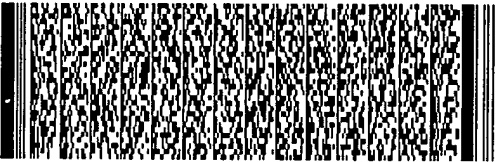
第 6/20 頁



第 7/20 頁



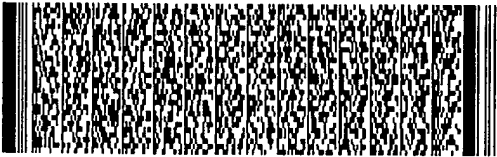
第 7/20 頁



第 8/20 頁



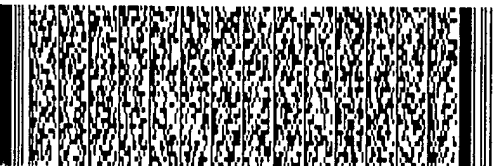
第 8/20 頁



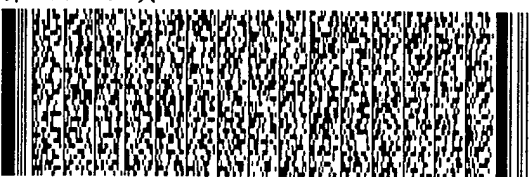
第 9/20 頁



第 9/20 頁



第 10/20 頁



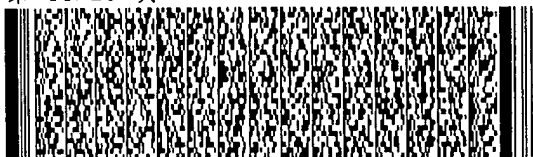
第 10/20 頁



第 11/20 頁



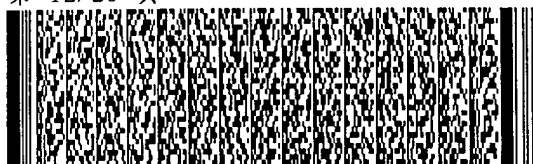
第 11/20 頁



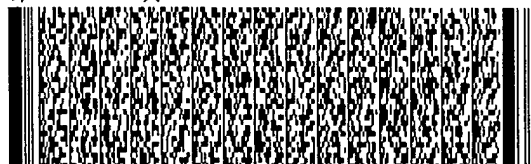
第 12/20 頁



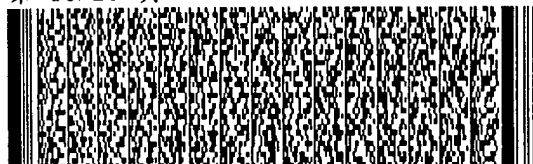
第 12/20 頁



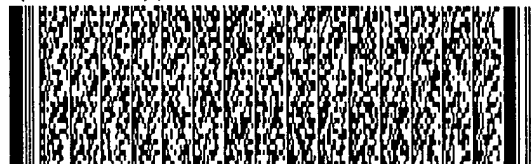
第 13/20 頁



第 13/20 頁



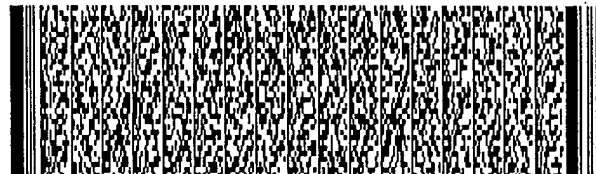
第 14/20 頁



第 15/20 頁



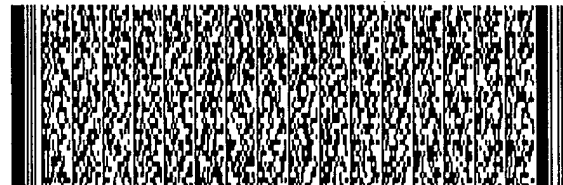
第 16/20 頁



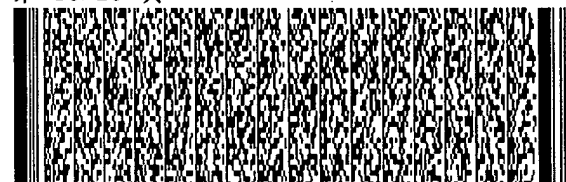
第 17/20 頁



第 18/20 頁

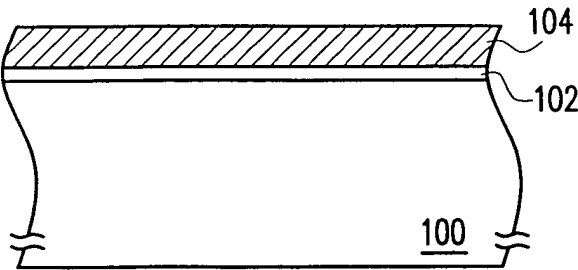


第 19/20 頁

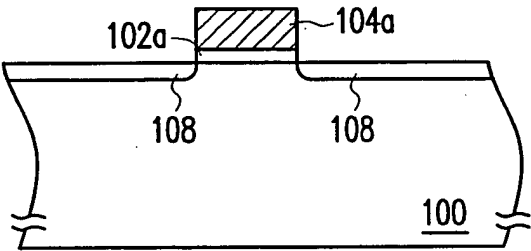


第 20/20 頁

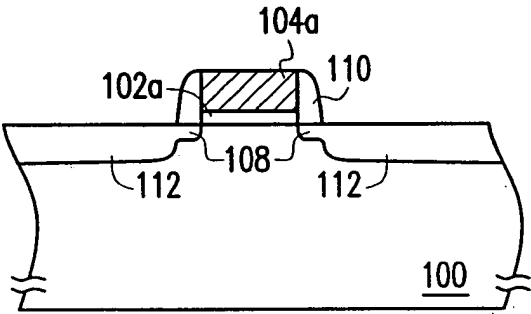




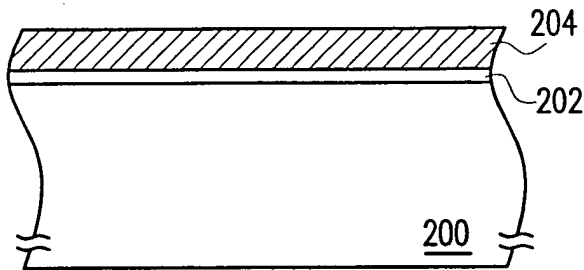
第 1A 圖



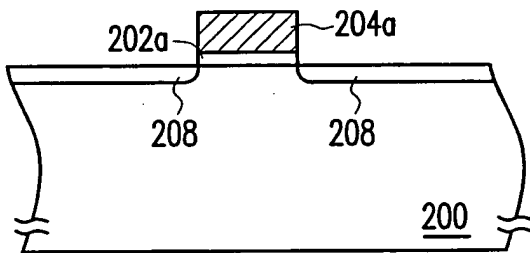
第 1B 圖



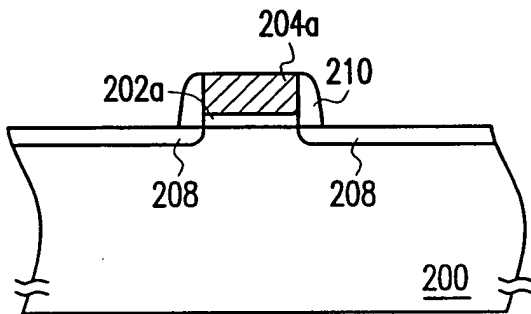
第 1C 圖



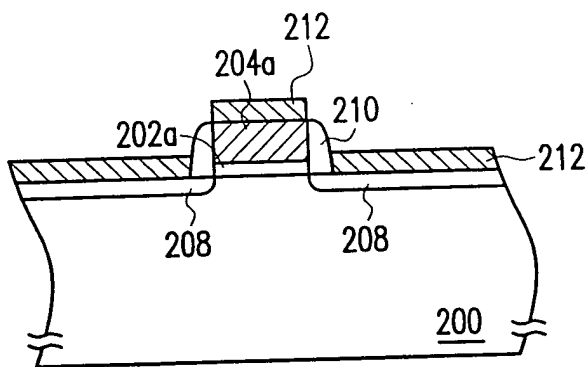
第 2A 圖



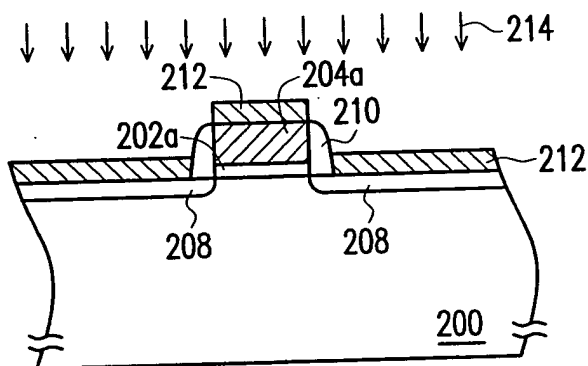
第 2B 圖



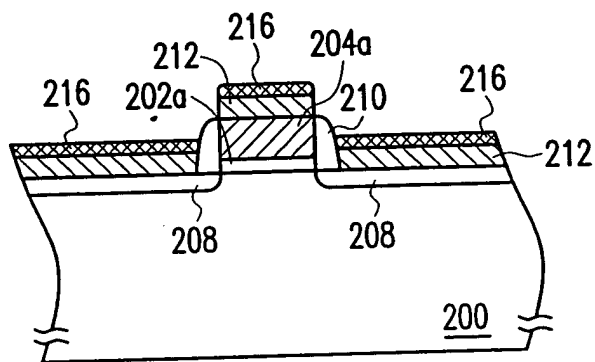
第 2C 圖



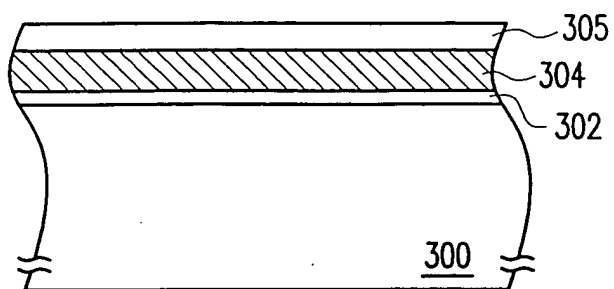
第2D圖



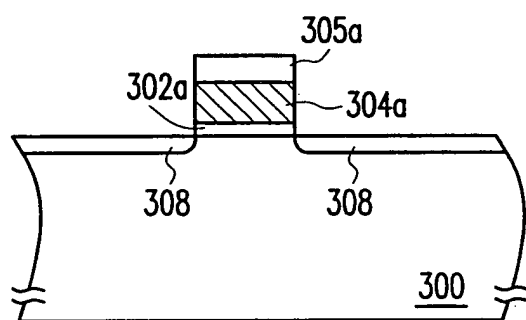
第2E圖



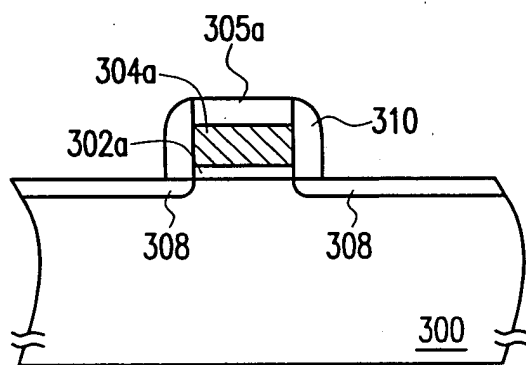
第2F圖



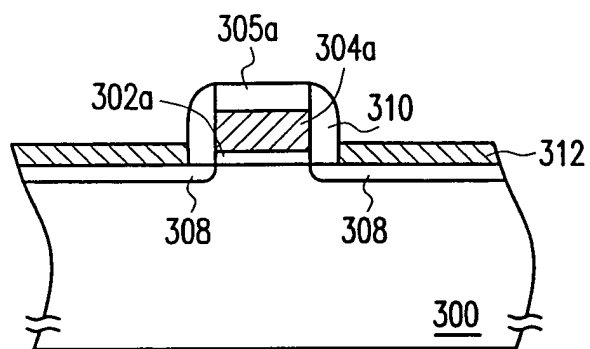
第 3A 圖



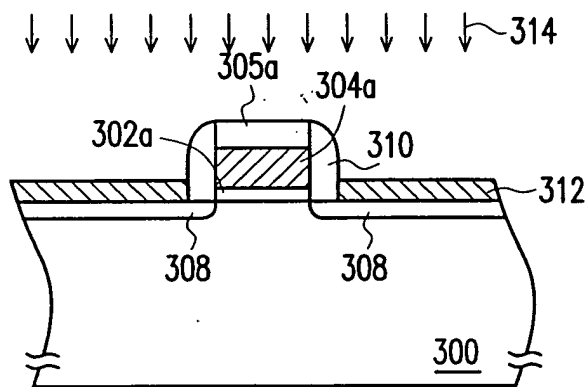
第 3B 圖



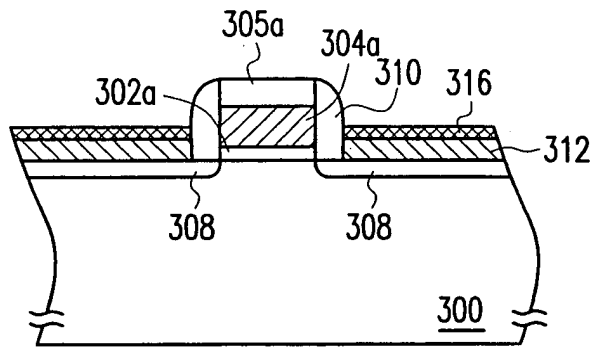
第 3C 圖



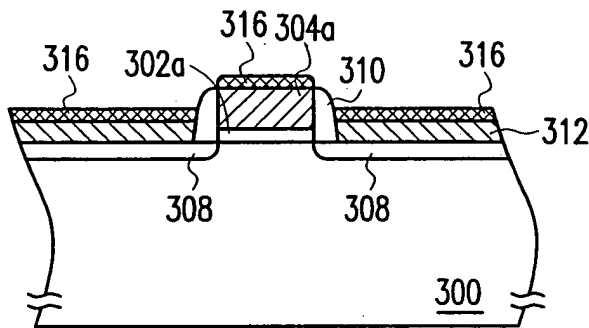
第 3D 圖



第 3E 圖



第 3F 圖



第 3G 圖